

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152382

(43)Date of publication of application : 18.06.1993

(51)Int.Cl. H01L 21/60
H01L 23/12
H05K 3/46

(21)Application number : 03-317685 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

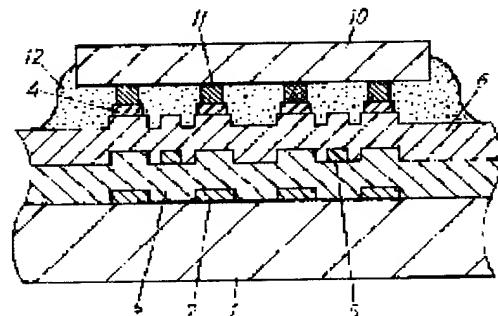
(22)Date of filing : 02.12.1991 (72)Inventor : TOMIOKA TATSUYUKI
MORISUGI KAZUJI
HASHIO KOUNOSUKE
MANSEI ATSUSHI
SEKINO HARUHIKO

(54) CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a circuit device where an LSI bare chip is mounted stable and high in connection reliability on a multilayer circuit board, where structure LSI bare chip is provided with connection bumps arranged at a narrow pitch.

CONSTITUTION: Wirings located under pads 4 are set equal in total number so as to make all the pads 4 connected to the uppermost electrodes provided onto a multilayer circuit board which comes into contact with bumps 11 formed on the surface of an LSI chip 10 equal in height. By this structure the total sum of number of wiring layers under all the pads 4 which come into contact with the bumps 4, and the pads 4 connected to the uppermost wiring layer become equal in height, so that a circuit device stable and high in connection reliability can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152382

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵

H 01 L 21/60

23/12

H 05 K 3/46

識別記号 庁内整理番号

3 1 1 S 6918-4M

Q 6921-4E

7352-4M

F I

技術表示箇所

N

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平3-317685

(22)出願日

平成3年(1991)12月2日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 富岡辰行

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 森杉和司

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 箕尾幸之助

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 弁理士 小鍛治明(外2名)

最終頁に続く

(54)【発明の名称】 回路装置

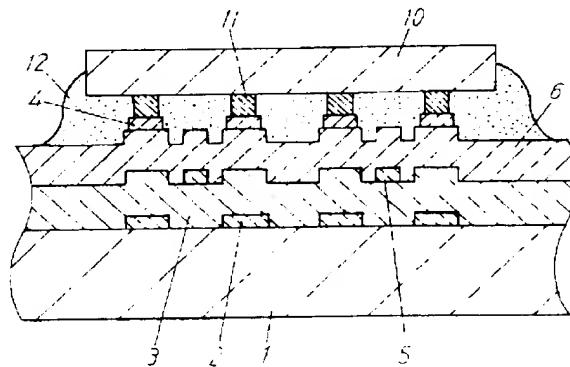
(57)【要約】

【目的】 本発明は多層回路基板に特に接続ピッチが狭いLSIペアチップを実装した回路装置に関するものであって、LSIペアチップをマイクロバンドボンディング方式で実装する場合に安定で信頼性の高い接続を満足させることを目的とする。

【構成】 LSIチップ10の表面のバンプ部11が接触すべき多層回路基板上の最上層電極に接続される全パッド部4の高さが同一になるように、パッド部4の下に存在する配線の総数を同一化する。

【効果】 バンプ部11が接触する全パッド部4の下の配線層数の合計は同一となり、最上層配線に接続されるパッド部4の高さは同一となるため安定で信頼性の高い接続を満足する回路装置が得られる。

5 第2層配線
6 第2層絶縁膜



【特許請求の範囲】

【請求項1】多層配線構造で表面に複数のバット部を備えた多層回路基板と、前記バット部に対応する箇所に複数のハンダ部を備えた半導体素子とを有し、前記各バット部の下の配線総層数は同一である回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は特に接続ビッチが狭いLSIへアチップを実装する場合に適した回路装置に関するものである。

【0002】

【従来の技術】近年、多層回路基板の電極と半導体素子(以下LSIと略す)の電極とは狭ビッチ化および多ビッチ化の傾向にある。従来の多層回路基板のアチップ実装方式としてはワイヤボンディング方式、ワリーパチ方式、ワイルムキャリア方式等が用いられてきたが、これらのLSI実装方式では接続ビッチを50μm以下のような狭ビッチ接続をすることは極めて困難であった。

【0003】最近、光硬化性絶縁樹脂を用い、樹脂の硬化時の収縮応力によってLSIの電極と回路基板の電極とを圧接するマイクロバンブボンディング方式(畠田・藤本氏による「マイクロ・シップ・ボンディング実装方式」、電子技術1987年7月号p.70~80)が実用化され、接続ビッチ50μm以下の狭ビッチ接続も実用されるようになってきた。

【0004】以下に、従来の多層回路基板にマイクロバンブボンディング方式でLSIへアチップを接続した場合の多層回路基板の構造上の問題点について説明する。

【0005】図3は従来の多層回路基板とLSIへアチップと実装してなる回路装置の断面を示す。回路基板は2層配線の例であり、最上層配線のバット部とLSIチップのハンダ部とを通る断面を示すものである。まず多層回路基板の構造について説明する。図3において1はセラミック、ガラス、表面を電気絶縁処理した金属等の平坦性に優れた絶縁性基板、2は1の上に形成されたCr/Cu/Cr/Cu/Cr/Au等からなる第1層配線、3は上下配線間に形成されたポリイミドまたはSiON等からなる電気絶縁膜、4、4'は絶縁膜3の上に形成されたAu/Ni/Cu/CrあるいはAu/Ni/Au等からなる最上層配線のバット部である。次にLSIへアチップの構造について説明する。10はLSIチップ、11、11'はLSIチップ10の表面に形成されたAu等のハンダ部である。12はLSIチップのハンダ部11、11'と多層回路基板の最上層配線のバット部4、4'を圧接するための光硬化性樹脂である。

【0006】

【発明を解決しようとする課題】しかしながら上記の従来構成では図3(1)に示すように、上記1表記の「記1

1、11'が接触する回路基板上のバット位置には最上層配線4は当然ながら存在するが、基板1上の第1層配線2と最上層配線4、4'とは互いに独立に設計し配置されるため、図3の例のハンダ部11、11'の位置のように第1層配線2が存在する場合と存在しない場合が発生する。従って第1層配線2の有無により第1層配線2の厚さだけの段差を生じ、バット部4、4'の高さが均一にならず、ハンダ部11'が接触すべき最上層配線4のバット部4'との間に隙間ができる。配線が4層、8層と多層になるに従ってこの段差は大きくなり、マイクロバンブボンディング方式の安定な接続に必要とされる1μm~4mm以下の平坦性を満足することは難しく、安定で信頼性の高い接続を得ることは困難であるという問題点を有していた。

【0007】本発明は上記従来の問題点を解決するもので、LSIへアチップをマイクロバンブボンディング方式で多層回路基板に実装する場合に安定で信頼性の高い接続を満足する回路装置を提供することを目的とする。

【0008】

【課題を解決するための手段】この目的を達成するためには本発明は、多層配線構造で表面に複数のバット部を備えた多層回路基板と、前記バット部に対応する箇所に複数のハンダ部を備えた半導体素子とを有し、前記各バット部の下の配線総層数は同一であるものである。

【0009】

【作用】本発明によれば、ハンダ部が接触すべき全バット部の下の配線層数の合計は同一となり最上層配線に接続されるバット部の高さは同一となり、マイクロバンブボンディング方式の安定な接続に必要とされる1μm~4mm以下の平坦性を満足することができ、安定で信頼性の高い接続を満足する回路装置を得ることができる。

【0010】

【実施例】(実施例1)以下、本発明の一実施例の回路装置について、図面を参照しながら説明する。図1は本発明の第1の実施例を示すもので3層配線の例である。図1において1、2、3、4、10、11、11'、12は図3と同一箇所を示す。ただし図3と異なっているのは、バット部4の下に第1層配線2を必要としない箇所でも、バット部4の下には回路機能上は必要としないグレーの第1層配線2'を形成し、バット部4の下の第1層配線2'の厚さを均一にすることができる。この結果、最上層配線4のバット部の高さは同一となり、マイクロバンブボンディング方式の安定な接続に必要とされる1μm~4mm以下の平坦性を満足することができる。

【0011】(実施例2)以下、本発明の第2の実施例の回路装置について、図面を参照しながら説明する。図2は本発明の第2の実施例を示すもので3層配線の例である。図2において1、2、3、4、10、11、12は図3と同一箇所を示す。5は第2層配線、6は第2層絶縁膜である。また、4以下の層間には第2層配線5

3

パット部を示す。図2の例では第2層目の配線はパット部4の下には存在せず、回路機能上必要なもののみをパット部4とパット部4との間の下に引き回した構造例である。

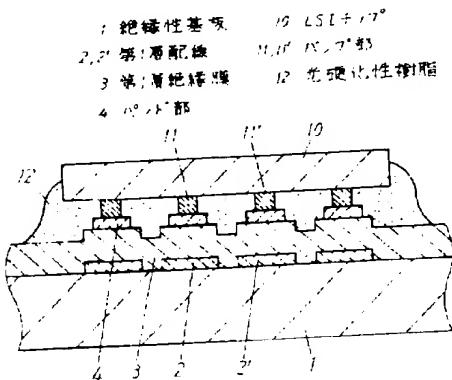
【0012】以上のように実施例2によれば、パット部4より下にある第2層配線5は、必要な配線はパット部4の下を避けて引き回し、パット部4の下に配線が存在しない構造とし、パット部4の下の配線層の総数を同一にすることができる。この結果、最上層配線であるパット部4の高さは同一となり、マイクロバンブボンディング方式の安定な接続に必要とされる1μm～4mm以下の平坦性を満足することができる。

【0013】なお、第1の実施例において多層回路基板は2層配線の例としたが3層以上でも同様であり、または第2の実施例における多層回路基板は3層配線とした2層以上であれば同様である。そして、第1の実施例が、2層以上であれば同様である。そして、第1の実施例のダミー配線を設ける層と第2の実施例のパット部4の下には配線を設けない層とを組み合わせた構造が可能であることは言うまでもない。

【0014】なお、以上の説明は全て薄膜多層回路基板の例について述べたが、厚膜多層回路基板に関するもの、また厚膜と薄膜とを併用した回路基板にも適用できることは勿論である。

【0015】さらに、本発明の多層回路基板は半田ワリオブチップ方式へ適用しても、接続信頼性が高くなることは明白である。

【図1】



【0016】

【発明の効果】以上のように本発明によれば、パット部の下にダミー配線を設けるかあるいはパット部の下には配線が存在しない層を設けるかあるいは両者の組み合わせによって、パット部の下の配線層の総数を同一にして、パット部の下の高さを均一にし、マイクロバンブボンディング方式の安定な接続に必要とされる1μm～4mm以下の平坦性を満足することができ、安定で信頼性の高い接続を満足する回路装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路装置を説明するための断面図

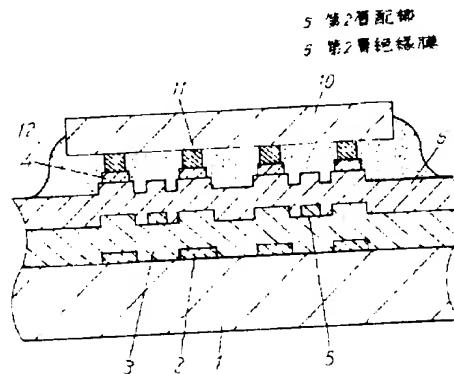
【図2】本発明の第2の実施例の回路装置を説明するための断面図

【図3】従来の回路装置を説明するための断面図

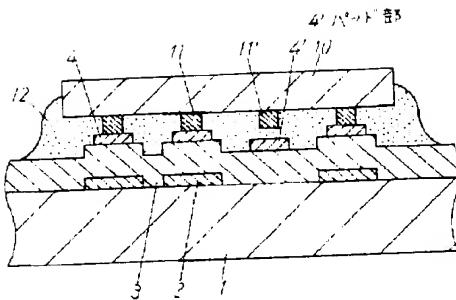
【符号の説明】

1	絶縁性基板
2, 2'	第1層配線
3	第1層絶縁膜
4, 4'	パット部
5	第2層配線
6	第2層絶縁膜
10	LSIチップ
11, 11'	パット部
12	光硬化性樹脂

【図2】



【図3】



フロントページの続き

(72) 発明者 満生 敦士
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 関野 晴彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内